

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-80353

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
G 0 9 F 9/30	3 3 8	7926-5G		

審査請求 未請求 請求項の数1(全 9 頁)

(21)出願番号 特願平3-240819

(22)出願日 平成3年(1991)9月20日

09/404,705

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 上田 知正

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

(72)発明者 ▲もたい▼ 友信

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

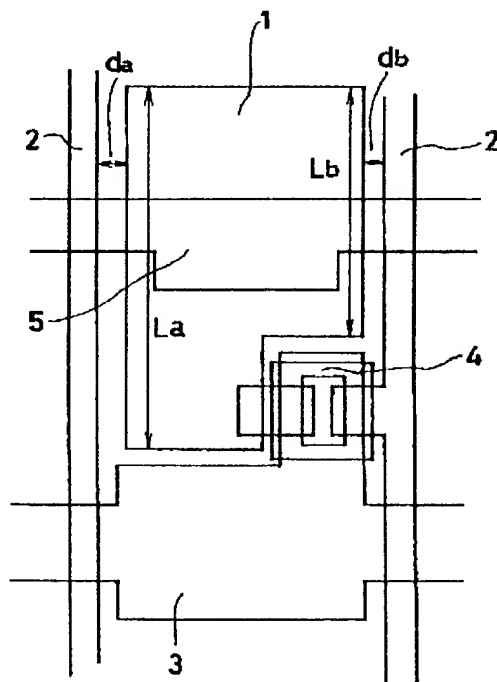
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 画素電極-信号線間の寄生容量のばらつきをなくすことができ、画面内での画質の劣化を抑えて均一性の向上をはかり得る液晶表示装置を提供すること。

【構成】 行方向に複数本配列された信号線2と、列方向に方向に複数本配列された走査線3と、信号線2及び走査線3で囲まれた領域にそれぞれ配置された画素電極1と、画素電極1と信号線2との間に接続され、そのゲート電極が走査線3に接続された薄膜トランジスタ4とを具備した液晶表示装置において、画素電極1と該電極1に隣接する2本の信号線2間の各距離 $d_a$ 、 $d_b$ を異ならせて、画素電極1と該電極1に隣接する2本の信号線2間の各静電容量 $C_{ds1}$ 、 $C_{ds2}$ を等しくしたことを特徴とする。



## 【特許請求の範囲】

【請求項1】行方向又は列方向に複数本配列された信号線と、これらの信号線と直交する方向に複数本配列された走査線と、前記信号線及び走査線で囲まれた領域にそれぞれ配置された画素電極と、前記画素電極と信号線との間に接続され、且つ前記走査線にゲート電極が接続された薄膜トランジスタとを具備した液晶表示装置において、

前記画素電極と該電極に隣接する2本の信号線間の各距離を異ならせるか、又は前記画素電極の一部に信号線との容量調整部を設けて、画素電極と該電極に隣接する2本の信号線間の各静電容量を等しくしてなることを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、液晶表示装置に係わり、特に画素電極—信号線間の寄生容量を考慮した液晶表示装置に関する。

## 【0002】

【従来の技術】近年、薄型軽量の表示装置として液晶ディスプレイの開発が活発に行われている。なかでも、高画質、高精細を実現する方式として、薄膜トランジスタアレイを用いた液晶ディスプレイの研究がなされており、CRTに代わるディスプレイとして期待されている。

【0003】液晶ディスプレイに用いる薄膜トランジスタアレイは、図13に示す等価回路で表わされる。走査線（ゲート線）が選択された時間だけ、スイッチング素子である薄膜トランジスタがオンとなり、画素電極と対向電極に挟まれた液晶で形成されるコンデンサ（CLC）と、アレイ基板上に作り込まれた補助容量（CS）とが、信号線の電圧によって充電される。走査線の非選択時は、CLC、CSのリーク電流に応じて画素電位が保持される。

【0004】薄膜トランジスタアレイでは、寄生容量である画素電極—走査線間の静電容量（CGS）を考慮しなければならないことが分かっている。CGSは薄膜トランジスタアレイの構造上、主にゲート電極とソース電極の重なり部分によって形成される。この寄生容量により保持中の画素電位は、走査線の電位変動の影響を受け、走査線のパルスの立ち下がり時に付け抜け電圧と呼ばれる電位変化が生じる。

【0005】また、薄膜トランジスタアレイで考慮しなければならない寄生容量には、CGSの他に画素電極—信号線間の静電容量（CDS）がある。CDSはアレイ構造上、主に画素電極と信号線が隣接する部分で形成される。一般には、図14に示すように画素電極1は2本の信号線2で囲まれており、それぞれ一つの画素電極1に対して信号線2<sub>1</sub>、2<sub>2</sub>との間にCDS<sub>1</sub>、CDS<sub>2</sub>が形成される。画素電極—信号線間の距離が近づくほど、さら

に隣接する部分が長いほど容量は大きくなり、その形状や材料によって容量は決まる。また、画素電極1と信号線2のマスク合わせずれによってその相対位置が変わると、それぞれのCDSが変化する。なお、図14において、3はゲート線（走査線）、4は薄膜トランジスタ、5は補助容量電極を示している。

【0006】ここで、画素電極—信号線間の寄生容量を考慮した画素電位の変動 $\Delta V_{PX}$ は、次式で示される。

$$\Delta V_{PX} = (C_{DS1} \times \Delta V_{SIG1} + C_{DS2} \times \Delta V_{SIG2}) / (C_{LC} + C_S + C_{GS} + C_{DS1} + C_{DS2})$$

【0007】従って、信号線の電位が変化する毎に画素電極の電位は変動する。液晶は基本的には交流駆動しなければならない、対向電極に対して画素電極の電位、即ち信号線電位を反転させなければならない。そのため $\Delta V_{SIG}$ は、信号線の極性を反転させた時が最も大きくなる。実際の画素電位の変動の様子は、駆動方法により次のように変わる。

【0008】まず、全ての信号線の極性を対向電極に対して同一とし、その極性をフレーム毎に反転させた場合（フレーム反転）の画素電位の変化を、図15に示す。静電容量CDS<sub>1</sub>、CDS<sub>2</sub>を形成する2本の信号線は同じ方向にその極性が反転する。この場合、当然フレーム毎に反転したときの信号線の電位変化が最も大きく、画素を書き込んで信号線が反転するまでの時間が、画面の上下（信号線方向）で違うため、液晶にかかる実効電圧に差が出て、上下方向に輝度差が現われる。またCDS<sub>1</sub>+CDS<sub>2</sub>のばらつきは画面の左右方向でも均一性を損なう原因となる。

【0009】次に、隣り合う信号線を逆極性とし、その極性をフレーム毎に反転させた場合（信号線反転）の画素電位の変化を、図16に示す。CDS<sub>1</sub>、CDS<sub>2</sub>を形成する2本の信号線は逆方向にその極性が反転する。この場合は、フレーム反転に比べて、2本の信号線からの影響が相殺するため画素電位の変動が幾分か抑えられることが分かる。しかしながら、CDS<sub>1</sub>とCDS<sub>2</sub>の値が大きく違うと、その効果は減少する。

【0010】また、隣り合う信号線を逆極性とし、その極性を1走査毎に反転させた場合（信号線・走査線反転）の画素電位の変化を、図17に示す。CDS<sub>1</sub>、CDS<sub>2</sub>を形成する2本の信号線は、逆方向にその極性が1走査毎に反転する。この場合には、1走査毎に信号線の極性の反転が起こり、画素電位が小刻みに大きく変動するが、保持時間中の液晶の表示はある実効電圧で決まるため、信号線反転の場合に比べ上下方向での輝度差は現われない。しかしながら、CDS<sub>1</sub>とCDS<sub>2</sub>が大きく違うと、保持時間中の電位変動が大きく、さらにCDS<sub>1</sub>とCDS<sub>2</sub>のばらつきは均一性を損なう原因になる。またこの駆動方法は信号線駆動回路が高価なものとなる。

【0011】近年、液晶ディスプレイの面積積化、高精細化によって、一画素の占める面積が小さくなって

10

20

30

40

50

## 3

る。従って、液晶容量 ( $C_{LC}$ ) や補助容量 ( $C_s$ ) が小さくなり、また信号線-画素電極間の距離が小さくなると、これまでは考慮されなかった画素電極-信号線間の寄生容量が相対的に大きくなり、これが画面に与える影響が大きくなって来る。また、製造上の問題で、例えば露光機の解像力やマスク合わせ精度のためにトランジスタの大きさはある大きさ以下にできないため、一画素でのトランジスタの占める面積が大きくなり、左右での信号線と画素電極の接する長さが変わってきて、 $C_{ds1}$ 、 $C_{ds2}$  の大きさの違いが、表示画像の劣化や均一性を損なう原因となって来る。

## 【0012】

【発明が解決しようとする課題】このように従来、薄膜トランジスタアレイを用いた液晶表示装置においては、画素電極-信号線間の寄生容量のばらつきが、画質の劣化及び均一性の低下を招く要因となっていた。

【0013】本発明は、上記事情を考慮してなされたもので、その目的とするところは、画素電極-信号線間の寄生容量のばらつきをなくすことができ、画面内での画質の劣化を抑えて均一性の向上をはかり得る液晶表示装置を提供することにある。

## 【0014】

【課題を解決するための手段】本発明の骨子は、画素電極と隣接する2本の信号線間の静電容量を等しくすることにある。

【0015】即ち本発明は、行方向又は列方向に複数本配列された信号線と、これらの信号線と直交する方向に複数本配列された走査線と、信号線及び走査線で囲まれた領域にそれぞれ配置された画素電極と、画素電極と信号線との間に接続され、そのゲート電極が走査線に接続された薄膜トランジスタとを具備した液晶表示装置において、画素電極と該電極に隣接する2本の信号線間の各距離を異ならせるか、又は画素電極の一部に信号線との容量調整部を設けることによって、画素電極と該電極に隣接する2本の信号線間の各静電容量が等しくなるようにしたものである。

## 【0016】

【作用】一画素毎に薄膜トランジスタを形成する場合、画素電極が薄膜トランジスタと重ならないように、トランジスタ形成領域を避けて画素電極を形成することが望ましい。一般には、薄膜トランジスタは信号線及び走査線で囲まれた領域の角部に形成される。この場合、画素電極に隣接する2本の信号線と画素電極との近接部分の長さが相互に異なったものとなり、従来のように画素電極とこれに隣接する2本の信号線間の距離が等しいと、これらの間の静電容量は異なったものとなる。

【0017】本発明では、薄膜トランジスタの形成により画素電極と2本の信号線との近接する辺の長さが相互に異なる場合にも、画素電極とこれに隣接する2本の信号線間の各距離を異ならせる、即ち薄膜トランジスタが

## 4

存在する方で近接距離を短くすることにより、画素電極と該電極に隣接する信号線間の各静電容量を等しくすることができる。従って、画素電極と隣接する2本の信号線間の寄生容量のばらつきをなくし、画像の均一性を向上させることができる。

【0018】また、画素電極の一部に信号線との容量調整部を設けることによって、画素電極と信号線を形成する際のマスク合わせのずれによる電極配置の変化が起ころうとしても、これを自動的に補正して静電容量の変化をなくすことができる。このため、従来技術と比べて、さらに高画質な液晶表示装置の形成が可能となる。

## 【0019】

【実施例】以下、本発明の詳細を図示の実施例によって説明する。

【0020】図1は、本発明の第1の実施例に係わる液晶ディスプレイの1画素構成を示す平面図である。図中1は液晶ディスプレイの1画素を構成する画素電極、2は信号線、3はゲート線（走査線）、4は画素電極1と信号線2との間に接続されゲート線によりオン・オフ制御される薄膜トランジスタ、5は補助容量電極を示している。

【0021】基本的な構成は従来装置と同様であるが、本実施例装置が従来装置と異なる点は、画素電極1とこれに隣接する2本の信号線2との間の距離  $d_a$ 、 $d_b$  を異ならせたことにある。即ち、画素電極1は薄膜トランジスタ4の形成により、左右で信号線と近接する辺の長さが  $L_a$ 、 $L_b$  ( $L_a > L_b$ ) と異なっており、 $d_a$  と  $d_b$  が同じ距離であれば、画素電極1と隣接する2本の信号線との静電容量は異なったものとなる。そこで本実施例では、距離  $d_a$  を  $d_b$  よりも長くして各々の静電容量が等しくなるようにしている。

【0022】上記の液晶ディスプレイは、次のようにして構成される。まず、ガラス基板上に  $Mo-Ta$  合金を200nm形成し、これをパターニングしてゲート線及びゲート電極を形成する。続いて、第1の絶縁膜として  $SiO_x$  を300nm、 $SiN_x$  を50nm形成し、さらに連続して  $a-Si$  を50nm、保護膜として  $SiN_x$  を150nmプラズマCVD法で形成する。

【0023】次いで、保護膜の  $SiN_x$  を島状にパターニングし、ソース、ドレイン領域のオーミックコンタクト層である燐等の不純物をドーパした  $n^+ a-Si$  を50nm形成したのち、 $a-Si$  層を島状にパターニングする。さらに、ITOを100nm形成し、島状にパターニングして画素電極を形成した後、ゲート電極の端子部分の上の第1の絶縁膜である  $SiO_x$  をエッチング除去する。

【0024】しかるのち、ソース・ドレイン電極金属として  $Cr$ 、 $Al$  をそれぞれ50、350nm形成し、信号線及びソース・ドレイン電極を形成し、ソース・ドレイン電極金属をマスクとして  $n^+ a-Si$  をエッチング

## 5

除去しソース・ドレイン電極金属を電氣的に分離し、薄膜トランジスタアレイを形成する。

【0025】ここで、画素電極1であるITOと、信号線2であるCr、Alの形状は、近接する部分の間隙を左右で意図的に変化させ、画素電極1とこれに隣接する2本の信号線2間の静電容量が等しくなるようにした。この場合、例えば

$$(L a - L b) / (L a + L b) \geq 0.1$$

の場合に、

$$d a \geq d b \times 1.5$$

にすることによって顕著な効果が得られた。

【0026】このように本実施例によれば、薄膜トランジスタ4の形成によって信号線2と近接する画素電極1の各辺の長さLa、Lbが異なる場合(La>Lb)において、Laの方の距離daをLbの方の距離dbよりも長くしているので、薄膜トランジスタ4の存在により、画素電極1とこれに隣接する2本の信号線2間の各静電容量を等しくすることができる。このため、寄生容量のばらつきに起因する画質の劣化及び均一性の低下を防止することができ、高品質の画像表示を行うことができる。特に、アクティブマトリックス型液晶ディスプレイに応用した場合に、表示の均一化に対して大きな効果を有する。図2は、本発明の第2の実施例の要部構成を示す平面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0027】この実施例が先に説明した第1の実施例と異なる点は、薄膜トランジスタを形成していない方の辺において、画素電極-信号線間距離を一部変化させたものである。即ち、画素電極1の薄膜トランジスタ4を形成していない辺において、長さLa'の部分では信号線2との距離da'をda(da=db)よりも長くしている。この場合、例えば

$$(L a - L b) / (L a + L b) \geq 0.1$$

の場合に、

$$L a - L a' \leq L b$$

$$d a' \geq d a \times 1.4$$

において顕著な効果が得られた。

【0028】図3は、本発明の第3の実施例の要部構成を示す平面図である。この場合は、信号線2に突起部分を設け画素電極1と2本の信号線2が隣接する部分の長さを等しくすることで静電容量を等しくしている。この場合も、例えば

$$(L a - L b) / (L a + L b) \geq 0.1$$

の場合に

$$(L a - L b - L b') / (L a + L b) \leq 0.1$$

にすることによって顕著な効果が得られた。また、この突起部分は光遮蔽や信号線の断線のリペア部として用いることもできた。

【0029】上記の3つの実施例において上記数式から外れても効果を持つことは言うまでもない。さらに、こ

## 6

れらの3つの実施例を適宜組み合わせることも可能である。図4は、本発明の第4の実施例の要部構成を示す平面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0030】この実施例では、画素電極1であるITOと、信号線2であるCr、Alの形状は、画素電極1と隣接する2本の信号線2間の静電容量が等しくなるように、先の実施例と同様に設計されており、さらに画素電極1の一部と信号線2に接続された配線からインターデジタル電極形状となる補正部分7を形成している。この補正部分7は、画素電極1と信号線2の間隙で画素電極1が信号線方向に近付いたときに、画素電極1と信号線2(配線)間が離れるようになっている。このため、画素電極1と信号線2の位置ずれによる画素電極1と信号線2の静電容量の変化を補正し一定に保つようになっている。本実施例では、補正部分7においては、画素電極1と信号線2間の距離が、主な信号線2と画素電極1の距離よりも短くなっている。

【0031】このような構成であれば、先の実施例と同様に画素電極1とこれに隣接する2本の信号線2間の各静電容量を等しくできるのは勿論のこと、画素電極1と信号線2とのマスク合わせずれによる静電容量の変化を未然に防止することができ、より高画質な液晶画像を得ることが可能となる。

【0032】図5～7は、本発明の第5～第7の実施例の要部構成を示す平面図である。これらの実施例は、基本的には第4の実施例と同様である。図5に示す第5の実施例では、補正部分7をトランジスタ4の近くに形成している。図6に示す第6の実施例でも、補正部分7をトランジスタ4の近くに形成している。また、図7に示す第7の実施例では、補正部分7を補助容量電極5の上に形成している。つまり、補正する部分の形成位置は、アレイ基板と対向基板の重ね合わせ精度を考えるとディスプレイにしたときの開口率を向上させるには、薄膜トランジスタ、ゲート線、信号線の近くやCs電極上などが望ましい。図8は、本発明の第8の実施例の要部構成を示す平面図である。なお、図4と同一部分には同一符号を付して、その詳しい説明は省略する。

【0033】この実施例が先の第4の実施例と異なる点は、補正部分7において、画素電極1と信号線2とが一部重なるように形成し、より少ない面積で補正を行うことにある。また、信号線と画素電極による短絡不良を大幅に軽減することができる。具体的には、次のようにして形成される。

【0034】まず、ガラス基板上にTaを300nm形成し、これをパターンニングしてゲート線及びゲート電極を形成する。続いて、ゲート電極であるTaの表層を陽極酸化しTaOxとし、さらに絶縁膜として第1のSiOxを170nm形成する。次いで、SiOx上にITOを100nm形成し、島状にパターンニングして画素電

極を形成した後、第2のSiOxを170nm、SiNxを50nm形成し、連続してa-Siを50nm、保護膜としてSiNxを150nmプラズマCVDで形成する。続いて、保護膜のSiNxを島状にパターニングし、ソース・ドレイン領域のオーミックコンタクト層である燐等の不純物をドーブしたn<sup>+</sup>a-Siを50nm形成した後、a-Si層を島状にパターニングする。

【0035】次いで、画素電極上の第1のSiOxと共に、ゲート電極の端子部分の上の第1、第2のSiOxを同時にエッチング除去する。しかるのち、先の第1の実施例と同様に信号線及びソース・ドレイン電極を形成し、さらにn<sup>+</sup>a-Siを選択エッチングして薄膜トランジスタアレイを完成する。

【0036】図9は、本発明の第9の実施例の要部構成を示す平面図であり、(a)は1画素部分、(b)は(a)の補正部分を拡大して示している。なお、図8と同一部分には同一符号を付して、その詳しい説明は省略する。

【0037】この実施例は基本的には第8の実施例と同様であるが、特に補正部分7における画素電極1と信号線2との重なり部分の形状を工夫している。即ち、補正部分7における信号線2の一部に斜辺を形成し、画素電極1と信号線2とのずれによる容量変化がずれの変化によって変化するようにしている。従ってこの実施例では、補正部分7における補正の範囲を広くすることができる。また、画素電極1と信号線2とのマスク合わせずれによる容量変化を、より少ない面積で補正することが可能となる。

【0038】図10～12は、本発明の第10～12の実施例の要部構成を示す図である。これらの実施例は、基本的には第9の実施例と同様である。図10に示す第10の実施例では、上下方向の位置のずれに対しても画素電極1と信号線2の静電容量の変化を補正し一定に保つようになっている。図11に示す第11の実施例では、斜辺部を複数個設け、補正の範囲をより広くしている。

【0039】また、図12に示す第12の実施例は、画素電極1と信号線2の重なり部分で層間ショート対策した一例である。なお、図12(a)は平面図、(b)は(a)の矢視A-A'断面図である。

【0040】第8の実施例では信号線と画素電極の重なり部分は170μmのSiOxで絶縁されているが、1層の絶縁層ではピンホール等による欠陥により信号線・画素電極間ショートが僅かだが発生していた。この実施例では重なり部分の絶縁膜としてSiOx170μmとTaOxの陽極酸化膜の2層を用いることで、層間ショートによる不良を殆どなくすることができた。

【0041】なお、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々

変形して実施することができる。例えば、実施例で説明したトランジスタ構造、膜材料、アレイパターン等は一例に過ぎず、仕様に応じて適宜変更可能である。また、実施例では位置のずれ方向をある位置方向を仮定して説明したが、左右上下あらゆる方向のずれに対しても補正可能であることは勿論である。

#### 【0042】

【発明の効果】以上述べたように本発明によれば、画素電極とこれに隣接する2本の信号線間の静電容量を等しくすることにより、画素電極—信号線間の寄生容量のばらつきをなくすることができ、画面内での画質の劣化を抑えて均一性の向上をはかり得る液晶表示装置を実現することが可能となる。また、画素電極の一部に信号線との容量調整部を設けることにより、画素電極と信号線を形成する際のマスク合わせのずれによる電極配置の変化を自動的に補正して静電容量の変化をなくすることができ、これにより更に高画質な液晶表示装置を実現することが可能となる。

#### 【図面の簡単な説明】

【図1】第1の実施例に係わる液晶ディスプレイの1画素構成を示す平面図、

【図2】第2の実施例の要部構成を示す平面図、

【図3】第3の実施例の要部構成を示す平面図、

【図4】第4の実施例の要部構成を示す平面図、

【図5】第5の実施例の要部構成を示す平面図、

【図6】第6の実施例の要部構成を示す平面図、

【図7】第7の実施例の要部構成を示す平面図、

【図8】第8の実施例の要部構成を示す平面図、

【図9】第9の実施例の要部構成を示す平面図、

【図10】第10の実施例の要部構成を示す平面図、

【図11】第11の実施例の要部構成を示す平面図、

【図12】第11の実施例の要部構成を示す平面図及び断面図、

【図13】薄膜トランジスタアレイの等価回路図、

【図14】薄膜トランジスタアレイの構成例を示す平面図、

【図15】フレーム反転の場合の画素電位の変化を示す特性図、

【図16】信号線反転の場合の画素電位の変化を示す特性図、

【図17】信号線・走査線反転の場合の画素電位の変化を示す特性図。

#### 【符号の説明】

1…画素電極、

2…信号線、

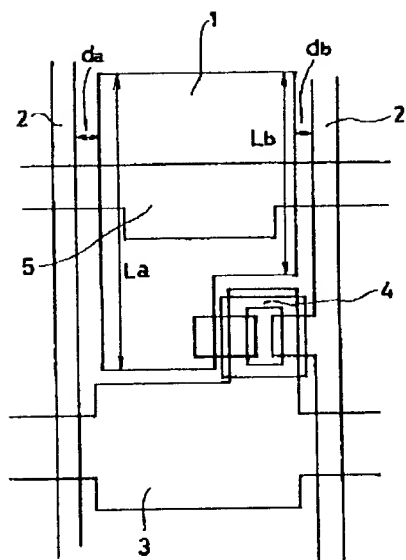
3…走査線（ゲート線）、

4…薄膜トランジスタ、

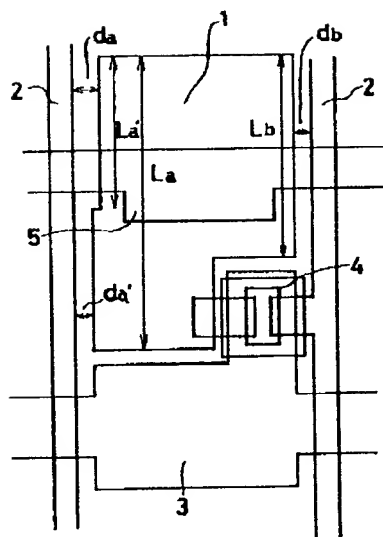
5…補助容量電極、

7…補正部分。

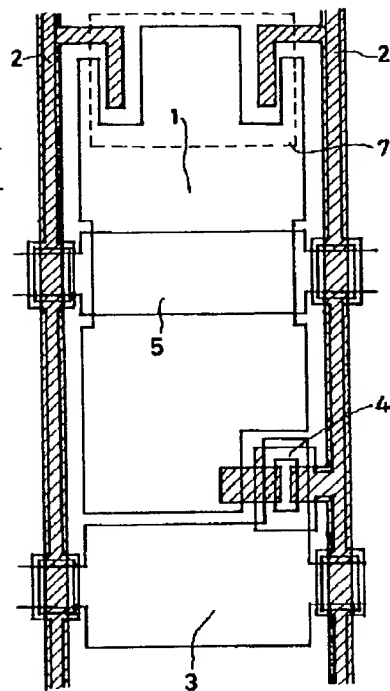
【図1】



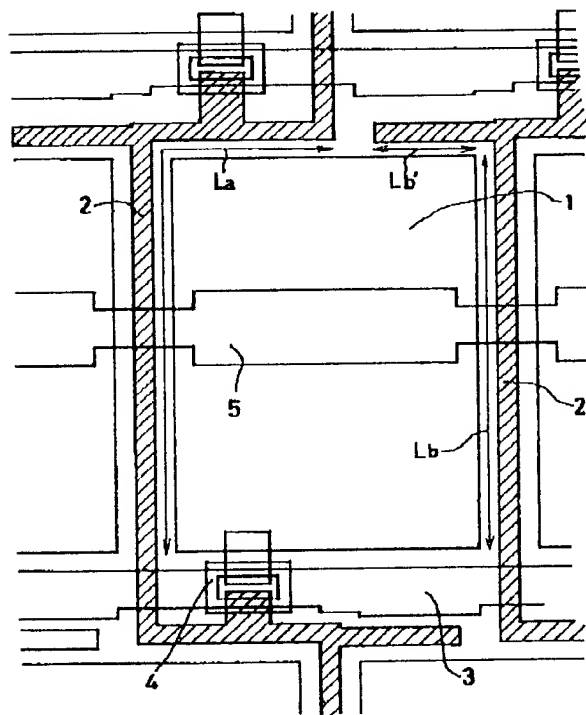
【図2】



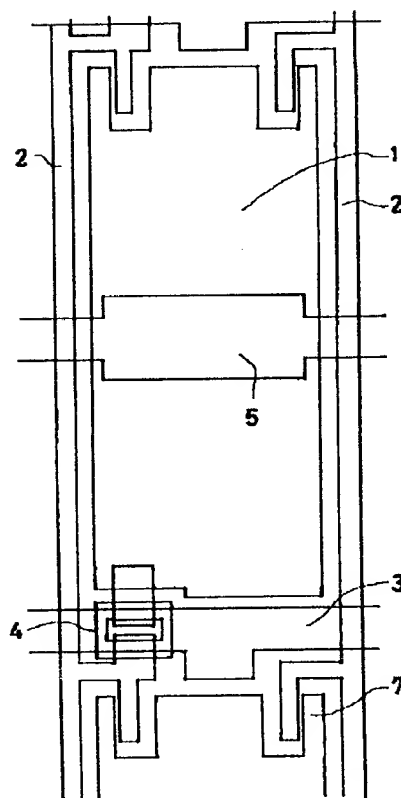
【図4】



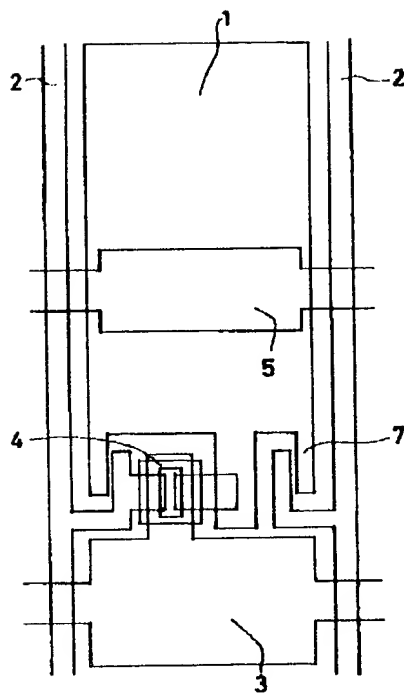
【図3】



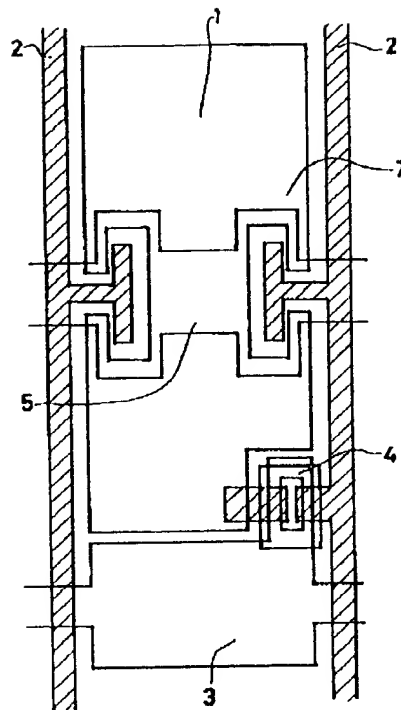
【図5】



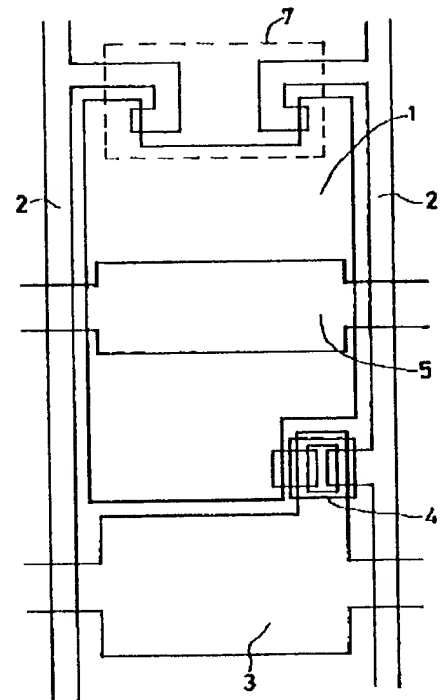
【図6】



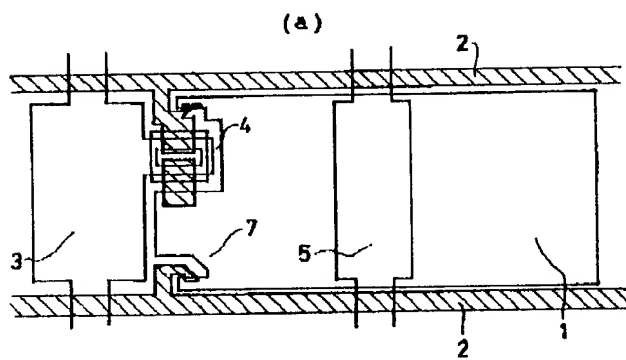
【図7】



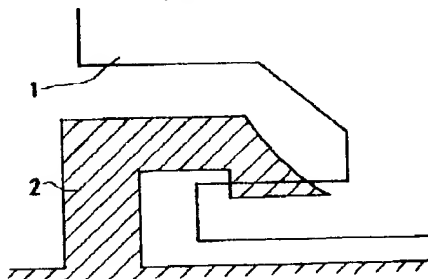
【図8】



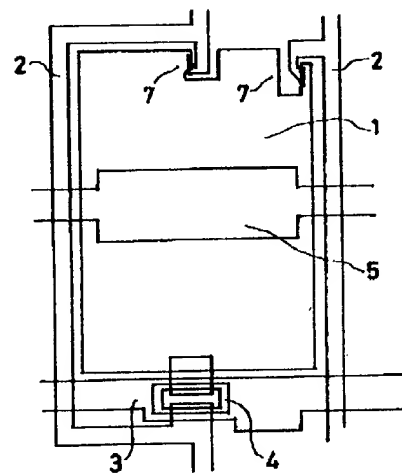
【図9】



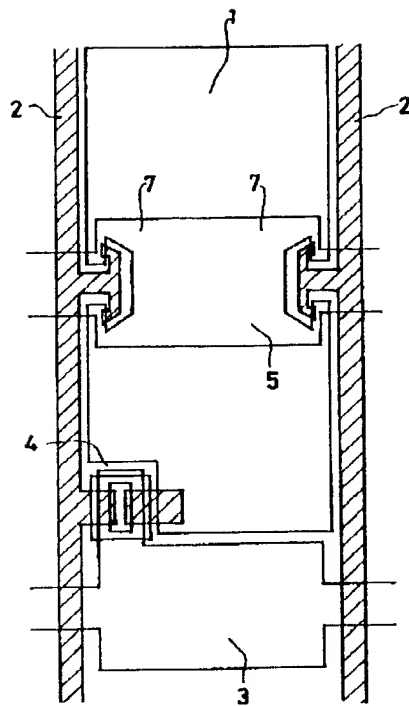
(b)



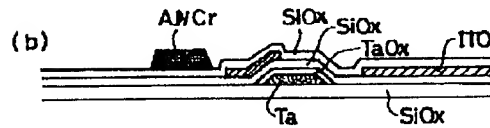
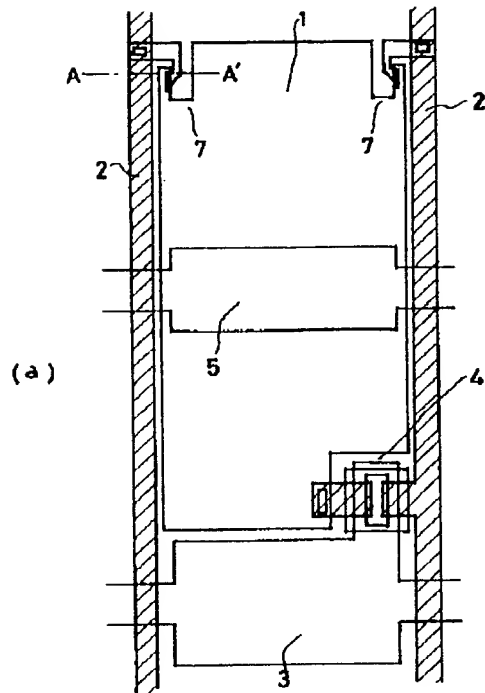
【図10】



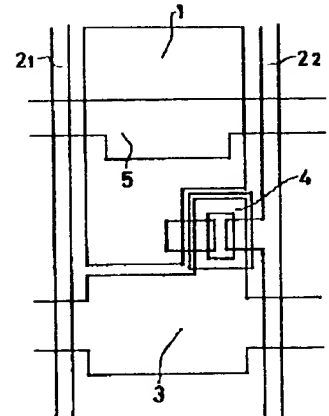
【図11】



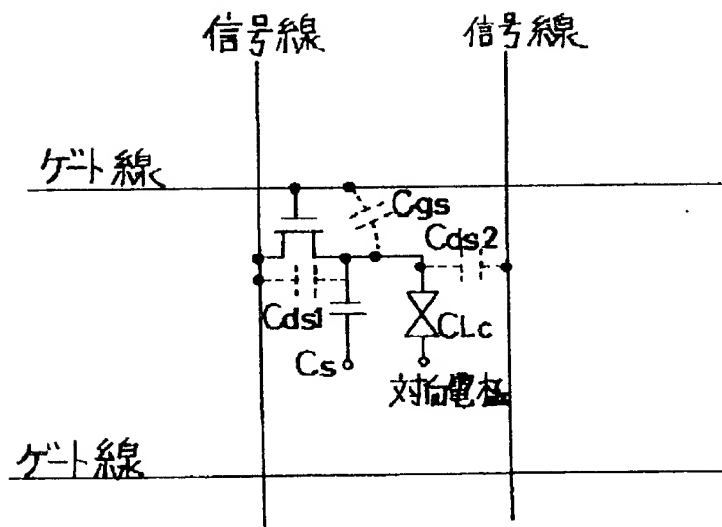
【図12】



【図14】

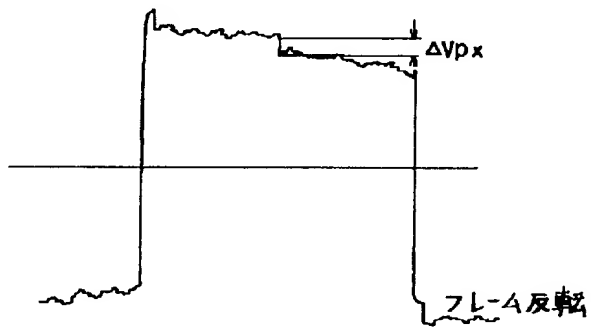


【図13】

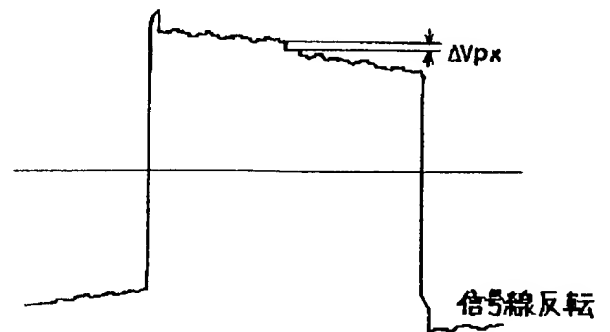




【図15】



【図16】



【図17】

